CAPITULO 2: Conversor

*Introducción en itálica*

2.1 ) Selección y requerimientos

2.1.1) selección

2.1.2) requerimientos

2.2 ) Diseño

2.2.1) comparador

2.2.2) decodificador

2.3 ) Caracterización

2.3.1) ganancia

2.3.2) frecuencia de señal de entrada

2.3.3) algo mas

# ESPECIFICACIONES DE FABRICANTE DEL CONVERSOR:

# Señal de entrada

# Tiempo de conversión

# Formato de salida

# Precisión2.1) SELECCIÓN Y REQUERIMIENTOS

## 2.1.1) Selección

La arquitectura con la que se opta trabajar es una arquitectura de conversión paralela tipo Flash de 6 bits de resolución, la cual combina partes de fucionamiento Analogico y Digital. Este conversor (usualmente abreviado ADC o A/D converter) es un bloque esencial en gran cantidad de sistemas de procesamiento de señales digitales; provee una conexión entre el procesador de señales digitales y el transductor de señales analógicas.

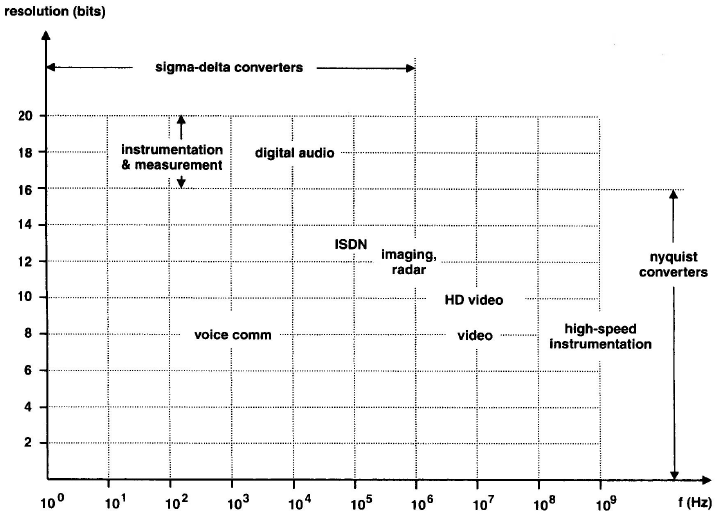
Se considera un dispositivo codificador, convirtiendo una muestra analógica en una señal digital de determinado número cuantificado de bits. Su gran ventaja es la velocidad con la cual una conversión se lleva a cabo, donde cada pulso de reloj puede generar una palabra digital de salida. Su contracara es que para cada bit extra de resolución del conversor, se tiene que duplicar la cantidad de comparadores requeridos, aumentando así el área comprendida por el dispositivo.

Desde el punto de vista de la implementación, los conversores analógicos/digitales típicamente contienen uno o más comparadores, compuertas, componentes pasivos de precisión, referencias de tensión precisa y una lógica de control digital. El conjunto de comparadores se encargaran de transformar la señal analógica recibida en una señal digital de codificación termómetro. Las compuertas formaran la lógica digital que trasforme la codificación termómetro en codificación binaria para la salida del conversor. La cadena o divisor resistivo servirá para generar los distintos niveles de tensión analógica de comparación.

Figura 1) Diagrama en bloques del Converso Flash realizado.

## 2.1.2) Requerimientos

El conversor fue pensado para ser utilizado en dispositivos de “Instrumentación y medición”, lo cual requeriría de una resolución de 16 a 20 bits. Por simplificación de diseño y procesos de inyección de fallas, se opto por realizar un conversor de 6 bits con una frecuencia de muestreo de 100KHz. Esto permite abarcar el uso del mismo tanto en redes de “Voice Comm” como en “ISDN” o “Instrumentación y medición”, ya que el interconectado en paralelo de conversores puede lograrse con simples modificaciones externas al mismo.



En relación a la tecnología utilizada en el diseño, se busco una opción en características de bajo consumo y de uso común y actual. Teniendo en consideración estos puntos, la tecnología finalmente usada fue:

|  |  |
| --- | --- |
| **IBM Semiconductor  0.18 Micron  7RF CMOS Process** | MOSIS WAFER ACCEPTANCE TESTS  RUN: T96T (7RF\_5LM\_MA)  VENDOR: IBM-BURLINGTON  TECHNOLOGY: SCN018  FEATURE SIZE: 0.18 microns  Run type: SKD |

Esta tecnología es brindada por IBM para fines de prototipos y bajo volumen de producción. El proceso de fabricación CMOS cuenta con 6 capas de metal (M1,M2,M3,M4,MT,ML) con DV ***(wirebound glass cut)***. Los voltajes de alimentación son 1.8 voltios de núcleo y 3.3 voltios de I/O. Transistores alimentados a 5 voltios están disponibles para requerimientos especiales, pero requieren de unas consideraciones extras [Ref.: http://www.mosis.com].

Como se aprecia en la Figura 1, para el diseño del conversor vamos a necesitar diseñar componentes analógicos y digitales que van a interactuar. Para ambos se utilizara la tecnología arriba mencionada, con una alimentación general de 3.3 voltios y niveles de referencia de tensión para los cuales se utilizara fuentes de tensión DC para facilitar el diseño.

# 2.2) Diseño

Para el diseño del conversor, se analizaron distintas opciones de arquitecturas y resultaron ser elegidas una arquitectura tipo Miley de dos etapas sin compensación para el Comparador *[Ref.: “CMOS Analog Circuit Design”- Philip E. Allen, Douglas R. Holberg ]* y un decodificador lógico alta velocidad formado por compuertas *[Ref.: “CIRCUITOS ELECTRONICOS Discretos e integrados”- Donald Schilling].*

El proceso de diseño fue iterativo. Se realizaron cálculos matemáticos para la primer aproximación del esquemático, se pusieron a prueba, se ajustaron de repetidamente las dimensiones de los transistores y se obtuvieron, al final, diseños que satisfacían los distintos requisitos de funcionamiento del sistema.

## 2.2.1) Comparador

El diseño del conversor requiere de 63 comparadores que cumplan con los requisitos de sistema, para generar los 64 niveles de código termómetro a partir de la comparación de la señal de entrada contra la las 63 señales de referencias obtenidas de la cadena de resistencias. El diagrama de conexiones se observa en la Figura 2.

Figura ) Diagrama en bloques del Comparador.

Cada comparador tiene conectado a su terminal diferencial negativa la señal de entrada VIN y a su terminal diferencial positivo una de las 63 tensiones de referencia que le corresponda según el nivel jerárquico que ocupe en la generación del código termómetro. Cuando el valor de tensión de la señal de entrada VIN es mayor que la señal de referencia conectada al comparador, este devuelvo como resultado de la comparación un valor 0 (cero), y si VIN es menor que la tensión de referencia, la salida del comparador es 1 (uno).

## 2.2.2) Decodificador

En el extremo digital del conversor, se requieren compuertas NAND de 2 a 8 entradas y compuertas NEGADORAS para construir la lógica CMOS que decodificara la entrada de código termómetro en una salida de código binario de 6 bits.