CAPITULO 2: Conversor

*Introducción en itálica*

2.1 ) Selección y requerimientos

2.1.1) selección

2.1.2) requerimientos

2.2 ) Diseño

2.2.1) comparador

2.2.2) decodificador

2.3 ) Caracterización

2.3.1) ganancia

2.3.2) frecuencia de señal de entrada

2.3.3) algo mas

# 2.1) SELECCIÓN Y REQUERIMIENTOS

## 2.1.1) Selección

La arquitectura con la que se opta trabajar es una arquitectura de conversión paralela tipo Flash de 6 bits de resolución, la cual combina partes de fucionamiento Analogico y Digital. Este conversor (usualmente abreviado ADC o A/D converter) es un bloque esencial en gran cantidad de sistemas de procesamiento de señales digitales; provee una conexión entre el procesador de señales digitales y el transductor de señales analógicas.

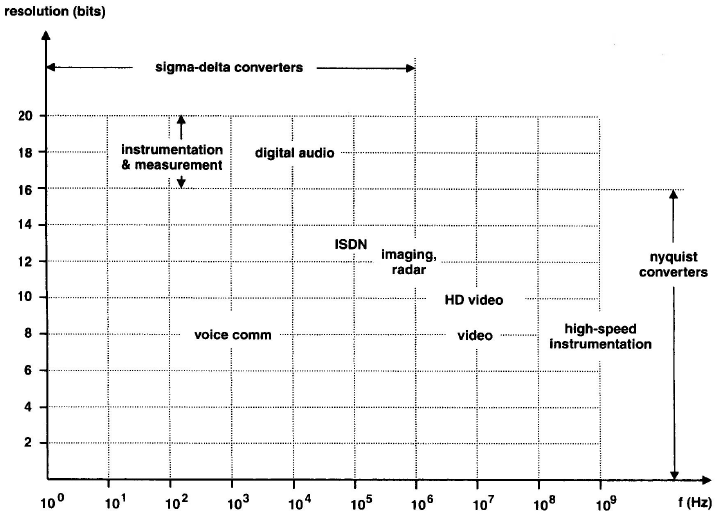
Se considera un dispositivo codificador, convirtiendo una muestra analógica en una señal digital de determinado número cuantificado de bits. Su gran ventaja es la velocidad con la cual una conversión se lleva a cabo, donde cada pulso de reloj puede generar una palabra digital de salida. Su contracara es que para cada bit extra de resolución del conversor, se tiene que duplicar la cantidad de comparadores requeridos, aumentando así el área comprendida por el dispositivo.

Desde el punto de vista de la implementación, los conversores analógicos/digitales típicamente contienen uno o más comparadores, compuertas, componentes pasivos de precisión, referencias de tensión precisa y una lógica de control digital. El conjunto de comparadores se encargaran de transformar la señal analógica recibida en una señal digital de codificación termómetro. Las compuertas formaran la lógica digital que trasforme la codificación termómetro en codificación binaria para la salida del conversor. La cadena o divisor resistivo servirá para generar los distintos niveles de tensión analógica de comparación.

Figura 1) Diagrama en bloques del Converso Flash realizado.

## 2.1.2) Requerimientos

El conversor fue pensado para ser utilizado en dispositivos de “Instrumentación y medición”, lo cual requeriría de una resolución de 16 a 20 bits. Por simplificación de diseño y procesos de inyección de fallas, se opto por realizar un conversor de 6 bits para 100KHz de frecuencia. Esto nos permite abarcar el uso del mismo tanto en redes de “Voice Comm” como en “ISDN” o “Instrumentación y medición”, ya que el interconectado en paralelo de conversores puede lograrse con simples modificaciones externas al mismo y su frecuencia de funcionamiento da olgadez en tiempos de funcionamiento.



En relación a la tecnología utilizada en el diseño, se busco una opción de tecnología con características de bajo consumo y de uso común y actual. Teniendo en consideración estos puntos, la tecnología finalmente usada fue:

MOSIS WAFER ACCEPTANCE TESTS

RUN: T96T (7RF\_5LM\_MA)

VENDOR: IBM-BURLINGTON

TECHNOLOGY: SCN018

FEATURE SIZE: 0.18 microns

Run type: SKD

Esta tecnología permite trabajar con tensiones de alimentación de 3.3 voltios, altas velocidades de funcionamiento y bajas capacitancias paracitas.